

应用于数字音频的二阶 Sigma-Delta 调制器设计

李 亮¹, 陈珍海²

(1 苏州市职业大学 电子信息工程系, 江苏 苏州 215104; 2 中国电子科技集团公司 58 所, 江苏 无锡 214035)

摘 要: 设计了一个应用于数字音频处理芯片的 Sigma-Delta 调制器, 为了提高模数转换器的解析度, 采用稳定的二阶结构, 通过提高过采样率来实现. 采用 HJTC 0.18 μ m CMOS 工艺, 在 1.8V 电压下设计过采样率为 256 的二阶开关电容调制器, 使用 Hspice 和 MATLAB 对电路进行了仿真分析, 结果表明可以达到 92.5dB 的信噪比, 有效位数约 16 位.

关键词: Sigma-Delta 调制器; 全差分运算放大器; 开关电容; 比较器

中图分类号: TN431

文献标识码: A

文章编号: 1000-7180(2010)07-0198-04

Design of Second-Order Sigma-Delta Modulator for Digital Audio

LI Liang¹, CHEN Zhen-hai²

(1 Department of Electronic and Information Engineering, Suzhou Vocational University, Suzhou 215104, China;

2 China Electronic Technology Group Corporation, No. 58 Research Institute, Wuxi 214035, China)

Abstract: A second-order sigma-delta modulator for digital audio operational chip is designed in this paper. The modulator is proposed to increase the oversampling rate with a stable second-order structure in order to improve the ADC resolution. The schematic simulation and analysis is by the tools of Hspice and MATLAB with HJTC 0.18 μ m CMOS technology. The second-order switched-capacitor modulator with oversampling rate of 256 is designed at the 1.8V power supply. Finally, it is shown circuit simulation results of the sigma-delta modulator whose signal-noise rate is 92.5dB and resolution is 16bits.

Key words: sigma-delta modulator; fully differential operational amplifier; switched-capacitor; comparator

1 引言

目前, 在数字音频领域, Sigma-Delta 模数转换器在各种数码产品中应用普及. 过采样 Sigma-Delta 调制器在同类高解析度的模数转换器中表明可以克服模拟元件固有限制, 且 Sigma-Delta 模数转换器同采用其它拓扑的转换器 (如逐次逼近型和流水线型) 相比, 其性能优势体现在过采样 (oversampling) 和噪声整形 (noise shaping)^[1]. 它采用高出信号带宽很多倍的频率来实现采样、通过一个或多个反馈回路实现量化噪声整形, 从而具有对输入信号呈低通、对量化噪声呈高通的噪声整形特性, 再通过数字滤波可以实现高分辨率的数据转换^[2]. 影响调制器的分辨率有三个因素: 调制器阶数、过采样

率、量化位数. 考虑到低阶调制器的稳定性和 1 位量化器具有固有的线性优势, 实现一个高精度的 Sigma-Delta 调制器, 文中采用二阶一位量化器结构, 过采样率为 256 的实施方案.

2 二阶 Sigma-Delta 调制器的结构设计

根据奈奎斯特 (Nyquist) 采样定律, 通常其采样频率至少是信号中的最高频率分量的两倍. 对于高质量的音频信号, 其频率范围是从 20Hz~20kHz, 所以其采样频率必须在 40kHz 以上. 文中 Nyquist 频率为 48kHz, 那么采样频率是 12.288MHz.

2.1 调制器系数设计

SIMULINK 下设计的二阶 Sigma-Delta 调制器结构如图 1 所示. 为了能够根据需要调整各级积

分器的增益,以保证环路稳定性,在每一级积分器前设置了增益调整系数 b_1 、 b_2 、 b_3 ,这些系数决定了调制器各级积分器的电压摆幅, a_1 、 a_2 为反馈系数.当 $a_1 = b_1$ 时,满足信号传输函数增益为 1,输出数字信号不会出现幅度衰减,并保证了输入信号摆幅.第一级积分器增益为 b_1 ;第二级积分器的增益为 b_2 , b_3 的系数不重要,因为是一位量化器.进入第一级积分器输入端的 D/A 转换器的增益为 a_1 ,进入第二级积分器输入端的 D/A 转换器的增益为 a_2 ,从图 1 可以得出:

$$STF(Z) = \frac{b_2 b_3 Z^{-2}}{1 + (a_2 b_3 - 2)Z^{-1} + (a_1 b_2 b_3 - a_2 b_3 + 1)Z^{-2}} \quad (1)$$

$$NTF(Z) =$$

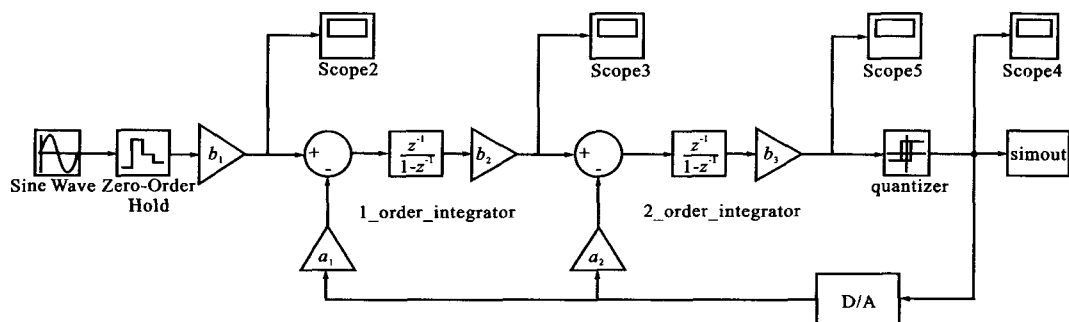


图 1 二阶 Sigma-Delta 调制器

2.2 调制器的仿真分析

在输入幅值电压为 -3dBFS 、频率为 24kHz 的正弦信号,采样频率为 12.288MHz ,过采样率为 256 时,各积分器输出均没有过载.对调制器的输出,进行傅立叶变换(FFT)到频域,使用 MATLAB 再对其性能进行分析.图 2 给出只有量化噪声时,调制器输出 FFT 图谱.从图 2 中可以看出在输入信号的频率为 24kHz 时,频率谱线最突出. 24kHz 以外的信号成分就是在量化中产生的量化噪声, $0 \sim 24\text{kHz}$ 为部分的量化噪声.图 3 为二阶调制器的信噪比随采样频率的变化曲线图,可知其 SNR 为 105.2dB ,动态范围(DR)为 108.8dB ,从而可知调制器的有效位数(ENOB)超过 17 位.

3 二阶 Sigma-Delta 调制器电路设计

电路主体是两个全差分运算放大器组成的开关电容积分器和电压比较器,电路中的开关使用 CMOS 开关和 NMOS 开关.系统工作电压为 1.8V ,DAC 参考电平为 0.9V .整个调制器工作在两相非交叠时钟下.

$$\frac{(1 - Z^{-1})^2}{1 + (a_2 b_3 - 2)Z^{-1} + (a_1 b_2 b_3 - a_2 b_3 + 1)Z^{-2}} \quad (2)$$

由 Schreier R. MATLAB Sigma-Delta Toolbox 得到二阶调制器噪声传输函数为^[3]:

$$NTF(Z) = \frac{(Z - 1)^2}{(Z^2 - 1.225Z + 0.4415)} \quad (3)$$

由式(2)和式(3)可确定调制器系数,系数在实际电路中是由电容的比值确定.考虑到电容的匹配和尽量减小电容值,可调整调制器系数,使各级积分器均不过载.通过 MATLAB SIMULINK 仿真,最终选择各个系数为: $a_1 = 0.33$, $b_1 = 0.1875$, $a_2 = 0.66$, $b_2 = 0.75$, $b_3 = 1.33$.在电路设计上,积分器增益系数是由采样电容和积分电容的比值决定;反馈系数由反馈电容和采样电容比值决定.

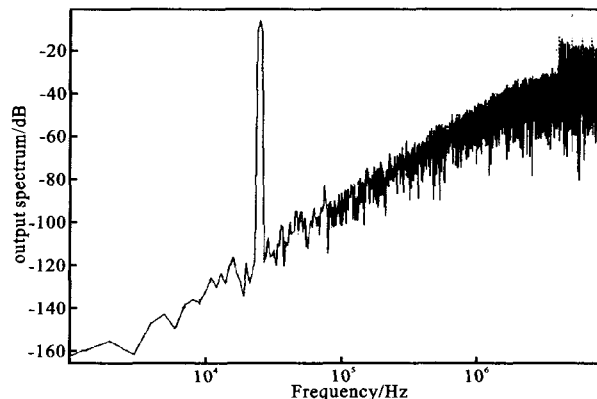


图 2 二阶 Sigma-Delta 调制器输出功率谱

根据系统级得到的调制器系数可设计第一个积分器的采样电容为 450fF ,积分电容为 2.4pF ,反馈电容为 800fF ,对运放的性能要求也最高;第二个积分器的采样电容为 450fF ,积分电容为 600fF ,反馈电容为 400fF .

3.1 全差分运算放大器设计

Sigma-Delta 调制器中开关电容积分器在离散时间域工作,在采样半时钟周期对信号采样,在积分半时钟周期通过运放完成电容电荷的转移,要求运放

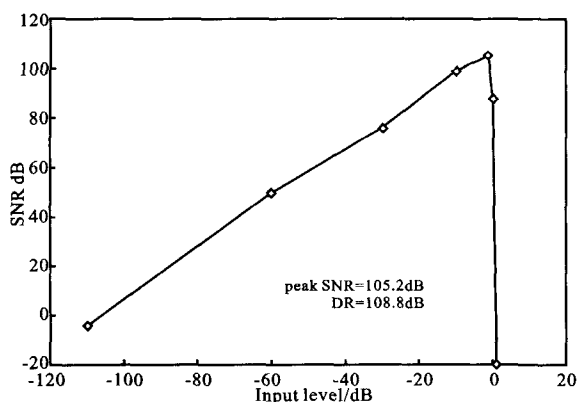


图3 二阶 Sigma-Delta 调制器信噪比

有比较高的电压转换速度、快速的电压建立时间、低的运放噪声^[4-5]。由于模拟器件本身的限制,运放的直流增益是有限的,一般运放的增益大于 70dB,不会降低调制器性能。文中过采样时钟周期为 81.38ns,积分器的建立时间应至少小于半个周期 40.69ns。

本设计要求直流增益大于 80dB,故采用两级运放。第一级是折叠式 cascode 结构的放大器,第二级采用一单级的放大器作为输出,增大输出摆幅。因为输出摆幅增大,积分器不容易过载,相应地加大了调制器的动态范围。最终所设计的运放结构如图 4 所示。采用这种结构可实现所需要的高速、高增益和高输出摆幅的运放^[6]。图中的放大器采用 PMOS 管做差分对,这是由于相同条件下,PMOS 管的噪声要小于 NMOS 管的噪声。图中的 C_c 为补偿电容,这是因为共源结构输出级的加入使放大器除了输出节点为高阻节点外,又出现了一个新的高阻节点,从而引入一个新的低频极点,因此为了使运放稳定工作,进行了频率补偿^[7]。

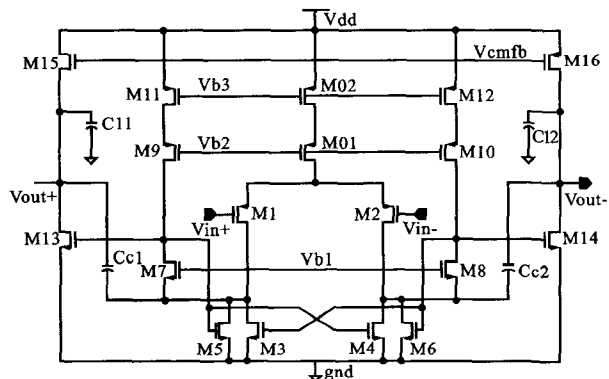


图4 折叠式共源共栅运算放大器

对图 4 中折叠式共源共栅运放作等效小信号分析可得出增益 A_v 为:

$$A_v = g_{m2} \{ g_{m10} r_{d10} r_{ds12} // [g_{m8} r_{ds8} (r_{ds2} // r_{ds4} // r_{ds6})] \} \cdot g_{m14} (r_{ds14} // r_{ds16})$$

$$// r_{ds6})] \cdot g_{m14} (r_{ds14} // r_{ds16})$$

因为 MOS 管 M3、M4、M5、M6、M11、M12 与信号通道无关,可以增大沟道长度来实现加大 R_{ds} 的阻值,从而增大运放增益。热噪声可以通过加大输入 MOS 管的跨导来减小,闪烁噪声可以通过增加输入 MOS 管的栅面积来减小。因此,可加大输入 MOS 管 M1、M2 尺寸来实现低噪声设计。

在高增益放大器中,输出共模电平对器件的特性和失配相当敏感,其偏差会影响 MOS 管的静态工作点,从而改变 MOS 管的工作状态,导致运放性能的恶化,且不能通过差分反馈来达到稳定。因此需要共模反馈(CMFB)电路,用它来稳定微小失调引起运放工作点的偏移。本设计采用了两个共模反应用于稳定第一级和第二级的输出共模电压点。第一级共模反馈由 M3、M4、M5、M6 构成,用来稳定 M7、M8 漏端输出共模点;第二级采用开关电容共模反馈。对设计的运放使用 Hspice 进行仿真,参数如表 1 所示。

表1 运算放大器的性能参数

参数名	模拟值
低频增益(dB)	102
单位增益带宽(MHz)	78
压摆率(V/ μ s)	56.4
建立时间(ns)	26
相位裕度(deg)	71
电源电压(V)	1.8

3.2 比较器设计

Sigma-Delta ADC 对比较器的输入失调电压的要求通常不很严格,但对工作速度提出了高的要求。由于动态门控结构的比较器具有速度高、功耗小的特点^[8],因此采用了不带前置放大级的门控比较器,如图 5 所示。

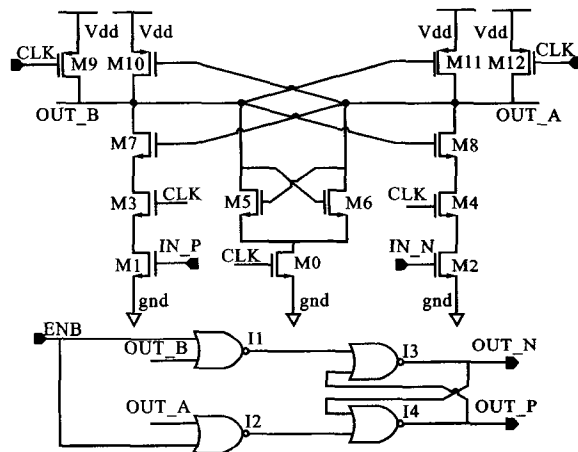


图5 比较器电路

比较器电路输入级由晶体管 M1、M2 和时钟控

制晶体管 M3、M4 组成,当 CLK 为低电平时,输出通过 M9、M12 预充电至 Vdd.当 CLK 为高电平时,开锁过程中可分为两个阶段,在第一阶段,输出节点 OUT_A、OUT_B 下降到电源电压一半左右;在第二阶段,输出再生到高电平或低电平的值.为了加快比较速度,添加一个独立的锁存比较级由 M5、M6 组成,通过分离输入支路和可再生支路减少叠加效应^[9].当时钟 CLK 为低电平时,M3 和 M4 确保输入支路关断,输出由预充电晶体管 M9、M12 决定;当 CLK 转为高电平时,再生支路 M5、M6 使输出节点以更快的速度下降到电源电压的一半来完成再生.输出级电路采用 RS 触发器锁存比较级的输出.

在电源 1.8V 下,采用 HJTC 0.18 μm CMOS 工艺对设计的比较器电路进行仿真.在工作时钟频率为 1GHz,分辨率小于 10 μV .在输入信号幅度 0.1 mV,比较器上升延时为 254ps、下降延时为 216ps;比较器输出上升沿为 67ps、下降沿为 61ps.

3.3 调制器电路仿真分析

调制器电路在 1.8V 电压下,采用 Hspice 模拟器,在过采样频率为 12.288MHz、输入信号频率为 24kHz、幅度为 -3dBFS 时,图 6 显示了电路级仿真结果的输出频谱图.其中频谱分析时采用 8192 点的 FFT,分析了 16 个周期的输入信号.结果表明,可以达到的 SNR 为 92.5dB,达到了 16bits 精度,功耗约 5mW.电路中的所有非理想性使结果比完全理想的系统级仿真减小了 12.7dB.从图 6 可知,在二阶噪声整形的作用下,调制器系统对量化噪声表现为高通特性,噪声在基带内得到很好的抑制,带外噪声可通过后续数字滤波电路滤除.

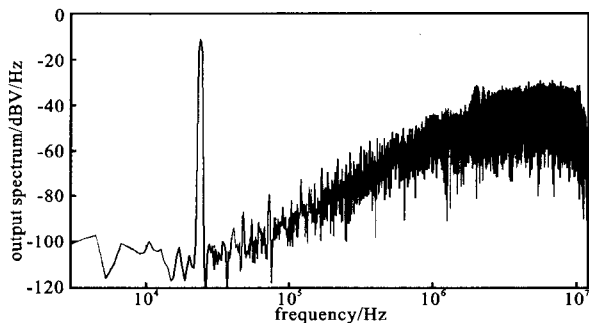


图 6 调制器输出频谱图

4 结束语

文中在 Sigma-Delta 调制器设计技术研究基础上,根据音频系统的要求,利用 Matlab Simulink 对二阶调制器的结构进行了设计,当基带为 24kHz,

过采样率为 256 时,得出了符合要求的调制器系数并进行分析.根据系数设计了调制器元件参数,再对二阶调制器的主要电路全差分运算放大器和电压比较器进行了设计分析.调制器的整体电路采用 HJTC 0.18 μm N 阱 CMOS 工艺,利用 Hspice 对所设计的电路进行了仿真分析,结果表明所设计的电路信噪比达到 92.5dB,有效位数达 16bits.本设计可应用于数字音频处理芯片中.

参考文献:

- [1] 华斯亮,褚子乔,刘岩.一种快速的连续时间 delta-sigma 调制器设计方法[J].微电子学与计算机,2009,26(1):81-84.
- [2] 潘扬,李丹,许刚.一种改进的高精度数字 $\Delta\Sigma$ 调制器结构[J].微电子学与计算机,2008,25(1):116-119.
- [3] Schreier R. The delta-sigma toolbox v7.2 (delsig)[EB/OL].[2009-05-10]. <http://www.mathworks.com/matlabcentral/fileexchange/>.
- [4] Zhineng Zhu, Raghu Tumati, Scott Collins, et al. A low-noise low-offset op Amp in 0.35 μm CMOS process[C]// Electronics, Circuits and Systems, 13th IEEE International Conference on. Franch, 2006:624-627.
- [5] Aziz Z A A, Zulkifli T Z A, Saibon B. A 1.8V fully differential 2-stage OPAMP switched-capacitor delta-sigma modulator for Bluetooth application[C]// Semiconductor Electronics, 2004, IEEE International Conference on. Kuala Lumpur, 2004:437-441.
- [6] Berntsen O, Wulff C, Ytterdal T. High speed, high gain OTA in a digital 90nm CMOS technology [C]// NORCHIP Conference. Oulu, 2005:129-132.
- [7] Ali M Niknejad, Bernhard E Boser. Analog integrated circuits[D]. University of California, Department of Electrical Engineering and Computer Sciences, 2006.
- [8] Cusinato P, Bruccoleri M, Valle M, et al. Analysis of the behavior of a dynamic latch comparator[J]. Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on, 1998,45(3): 294-298.
- [9] Vijay U K, Bharadwaj A. Continuous time sigma delta modulator employing a novel comparator architecture[C]// VLSI Design, Held jointly with 6th International Conference on Embedded Systems., 20th International Conference on. Bangalore, 2007:919-924.

作者简介:

李亮男,(1979-),硕士.研究方向为混合信号 CMOS 数据转换器设计.